

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06266834 A

(43) Date of publication of application: 22.09.94

(51) Int. Cl.

G06F 15/66

G06F 15/64

G09G 5/36

H04N 1/393

(21) Application number: 05051786

(71) Applicant: JAPAN RADIO CO LTD

(22) Date of filing: 12.03.93

(72) Inventor: NAKAZAWA KAZUYUKI

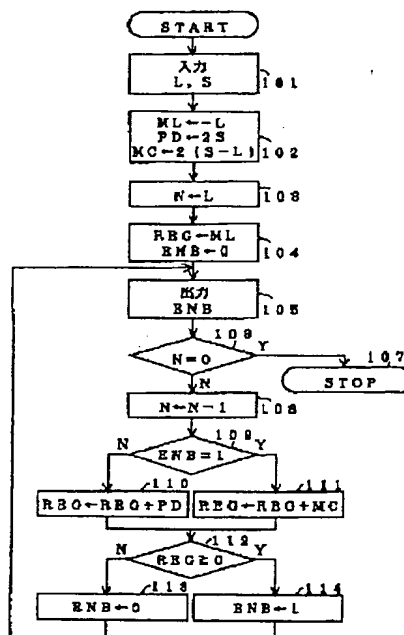
(54) DEVICE AND METHOD FOR MAGNIFYING AND REDUCING RECTANGULAR PICTURE

(57) Abstract:

PURPOSE: To attain magnified/reduced transfer without specifying a magnification value and to remove overhead relating to the specification of the magnification value at an accurate magnification value.

CONSTITUTION: After presetting DDA items or the like (102 to 104), the DDA operation of REG is executed (109 to 111), and when the carry of the REG is generated (112), the carry is used as an enable signal ENB. A reading address counter in a source side frame memory at the time of magnified transfer and a writing address counter in a destination side frame memory are respectively controlled by the enable signal ENB.

COPYRIGHT: (C)1994,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 2 6 6 8 3 4

(43) 公開日 平成 6 年 (1994) 9 月 22 日

| (51) Int. Cl. <sup>5</sup> | 識別記号 | 庁内整理番号    | F I | 技術表示箇所 |
|----------------------------|------|-----------|-----|--------|
| G06F 15/66                 | 355  | D 8420-5L |     |        |
| 15/64                      | 450  | E 7631-5L |     |        |
| G09G 5/36                  |      | 8121-5G   |     |        |
| H04N 1/393                 |      | 4226-5C   |     |        |

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願平 5 - 5 1 7 8 6

(22) 出願日 平成 5 年 (1993) 3 月 12 日

(71) 出願人 0 0 0 0 0 4 3 3 0

日本無線株式会社

東京都三鷹市下連雀 5 丁目 1 番 1 号

(72) 発明者 中沢 和之

東京都三鷹市下連雀 5 丁目 1 番 1 号 日本無線株式会社内

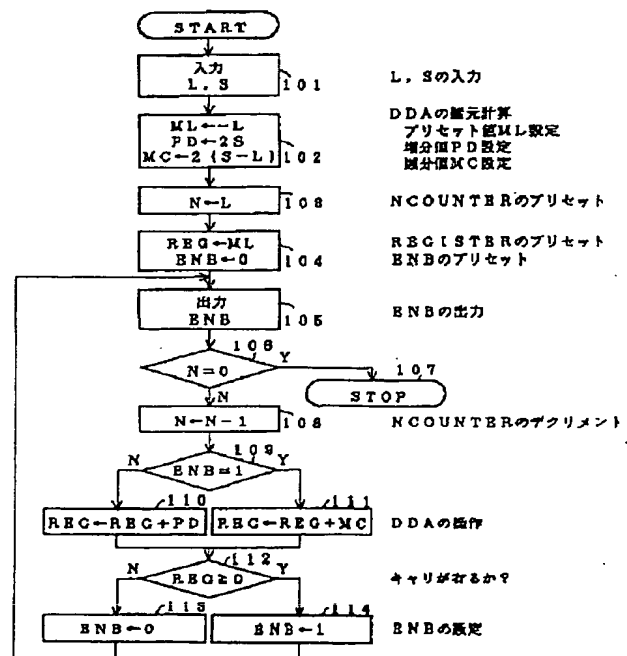
(74) 代理人 弁理士 吉田 研二 (外 2 名)

(54) 【発明の名称】 矩形画像の拡大縮小装置及び方法

(57) 【要約】

【目的】 倍率値指定を廃止しつつ拡大縮小転送可能にし、正確な倍率でかつ倍率値指定に係るオーバーヘッドをなくす。

【構成】 DDA 諸元等をプリセットした上で (102 ~ 104)、REG について DDA 操作を実行し (109 ~ 111)、REG のキャリが発生した場合に (112) これをイネーブル信号 ENB として使用する。拡大転送時にはソース側フレームメモリのリードアドレスカウンタを、縮小転送時にはディスティネーション側フレームメモリのライトアドレスカウンタを、イネーブル信号 ENB により制御する。



## 【特許請求の範囲】

【請求項 1】 ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しアドレスカウンタと、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタと、ソース側フレームメモリから読み出されたデータがディスティネーション側フレームメモリの複数のアドレスに重複して書き込まれるよう、読み出しアドレスカウンタの計数動作を適宜禁止することによりソース側フレームメモリからの読み出しアドレスを重複発生させる拡大転送制御手段と、を備え、ソース側フレームメモリ上にデータとして格納されている矩形画像をディスティネーション側フレームメモリ上に拡大して転送格納する矩形画像の拡大装置において、

拡大転送制御手段が、

ソース側フレームメモリ上にデータとして格納されている矩形画像の一边を短軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一边を長軸としてそれぞれ扱いつつ、短軸の長さを示す短軸値及び長軸の長さを示す長軸値に基づきディ

ジタル微分解析の諸元を演算する手段と、  
演算により得られた諸元に基づきデジタル微分解析を実行することにより、読み出しアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、

その結果に基づき読み出しアドレスカウンタの計数動作を制御する手段と、

を備え、

短軸値及び長軸値の指定に応じてソース側フレームメモリからディスティネーション側フレームメモリに矩形画像に係るデータの拡大転送を実行することを特徴とする矩形画像の拡大装置。

【請求項 2】 ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しアドレスカウンタと、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタと、ソース側フレームメモリから読み出されたデータの一部分が間欠的に削除されつつディスティネーション側フレームメモリに書き込まれるよう、書き込みアドレスカウンタの計数動作を適宜禁止することによりディスティネーション側フレームメモリへの書き込みアドレスを重複発生させる縮小転送制御手段と、を備え、ソース側フレームメモリ上にデータとして格納されている矩形画像をディスティネーション側フレームメモリ上に縮小して転送格納する矩形画像の縮小装置において、縮小転送制御手段が、

ソース側フレームメモリ上にデータとして格納されている矩形画像の一边を長軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一边を短軸としてそれぞれ扱いつつ、長軸の長さを示す長軸値及び短軸の長さを示す短軸値に基づきディ

ジタル微分解析の諸元を演算する手段と、

演算により得られた諸元に基づきデジタル微分解析を実行することにより、書き込みアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、

その結果に基づき書き込みアドレスカウンタの計数動作を制御する手段と、

を備え、

長軸値及び短軸値の指定に応じてソース側フレームメモリからディスティネーション側フレームメモリに矩形画像に係るデータの縮小転送を実行することを特徴とする矩形画像の縮小装置。

【請求項 3】 矩形画像をデータとして格納するソース側フレームメモリと、

ソース側フレームメモリとからデータとして転送される矩形画像を格納可能なディスティネーション側フレームメモリと、

請求項 1 又は 2 記載の矩形画像の拡大装置又は縮小装置と、

を備えることを特徴とする画像処理装置。

【請求項 4】 ソース側フレームメモリ上にデータとして格納されている矩形画像の一边を短軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一边を長軸としてそれぞれ扱いつつ、短軸の長さを示す短軸値及び長軸の長さを示す長軸値に基づきデジタル微分解析の諸元を演算する手段と、

演算により得られた諸元に基づきデジタル微分解析を実行することにより、ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、

その結果に基づき読み出しアドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ソース側フレームメモリからの読み出しアドレスを制御する手段と、

を備え、

短軸値及び長軸値の指定に応じてソース側フレームメモリからディスティネーション側フレームメモリに矩形画像に係るデータの拡大転送を制御することを特徴とする矩形画像の拡大転送制御装置。

【請求項 5】 ソース側フレームメモリ上にデータとして格納されている矩形画像の一边を長軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一边を短軸としてそれぞれ扱いつつ、長軸の長さを示す長軸値及び短軸の長さを示す短軸値に基づきデジタル微分解析の諸元を演算する手段と、

演算により得られた諸元に基づきデジタル微分解析を実行することにより、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書

き込みアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、

その結果に基づき書き込みアドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ディスティネーション側フレームメモリへの書き込みアドレスを制御する手段と、

を備え、

長軸値及び短軸値の指定に応じてソース側フレームメモリからディスティネーション側フレームメモリに矩形画像に係るデータの縮小転送を制御することを特徴とする矩形画像の縮小転送制御装置。

【請求項 6】 ソース側フレームメモリ上にデータとして格納されている矩形画像の一边を短軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一边を長軸としてそれぞれ扱いつつ、短軸の長さを示す短軸値及び長軸の長さを示す長軸値に基づきデジタル微分解析の諸元を演算し、演算により得られた諸元に基づきデジタル微分解析を実行することにより、ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しアドレスカウンタの計数動作を禁止するタイミングを決定し、その結果に基づき読み出しアドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ソース側フレームメモリからの読み出しアドレスを制御することにより、ソース側フレームメモリにデータとして格納されている矩形画像をディスティネーション側フレームメモリに拡大して転送することを特徴とする矩形画像の拡大転送方法。

【請求項 7】 ソース側フレームメモリ上にデータとして格納されている矩形画像の一边を長軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一边を短軸としてそれぞれ扱いつつ、長軸の長さを示す長軸値及び短軸の長さを示す短軸値に基づきデジタル微分解析の諸元を演算し、演算により得られた諸元に基づきデジタル微分解析を実行することにより、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタの計数動作を禁止するタイミングを決定し、

その結果に基づき書き込みアドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ディスティネーション側フレームメモリへの書き込みアドレスを制御することにより、ソース側フレームメモリにデータとして格納されている矩形画像をディスティネーション側フレームメモリに縮小して転送することを特徴とする矩形画像の縮小転送方法。

【請求項 8】 請求項 1 乃至 7 記載の装置又は方法において、

ソース側フレームメモリ及びディスティネーション側フレームメモリが、 $n$ 次元 ( $n$ は 2 以上の整数) メモリであることを特徴とする装置又は方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ディスプレイ装置、プロッタ装置等において矩形画像を拡大縮小させる装置及び方式、即ち矩形画像の拡大縮小装置及び方法に関する。

【0002】

【従来の技術】 ディスプレイ装置、プロッタ装置等の装置は、通常、表示すべき図形がビット展開されるフレームメモリを有している。画像信号等、表示に用いる信号は、フレームメモリ上のデータに応じて発生させる。フレームメモリに画像データを書き込み、あるいはフレームメモリから画像データを読み出す際、すなわちフレームメモリをリード又はライトアクセスする際には、 $XY$ 平面上で、 $X$ アドレスを順次インクリメントさせ、 $X$ アドレスカウンタがカウントアップした時点で $Y$ アドレスを 1 インクリメントさせ、さらに $X$ アドレスの順次インクリメントから繰り返す、といった動作を実行する。

【0003】 このような装置における矩形画像の拡大縮小は、ソース側フレームメモリからディスティネーション側フレームメモリへの転送格納として実現できる。すなわち、ソース側フレームメモリから画像データを読み出し、ディスティネーション側フレームメモリへ書き込む際、各フレームメモリへのアクセスに係るアドレスを発生させる $X$ 及び $Y$ アドレスカウンタの計数動作を制御することにより、拡大縮小転送を実現できる。

【0004】 図 6 には、フレームメモリとしてソース側フレームメモリ 27 及びディスティネーション側フレームメモリ 28 を備える回路の構成が示されている。この図に示される回路は、ソース側フレームメモリ 27 のリードアドレス ( $XRA$ ,  $YRA$ ) 及びディスティネーション側フレームメモリ 28 のライトアドレス ( $XWA$ ,  $YWA$ ) を発生させ、ソース側フレームメモリ 27 からのリードとディスティネーション側フレームメモリ 28 へのライトを行うことにより、ソース側フレームメモリ 27 上の矩形画像をディスティネーション側フレームメモリ 28 へ転送する回路である。

【0005】 ソース側フレームメモリ 27 のリードアドレス ( $XRA$ ,  $YRA$ ) は、それぞれ、 $X$ リードアドレスカウンタ 23 及び $Y$ リードアドレスカウンタ 24 によって生成される。また、ディスティネーション側フレームメモリ 28 のライトアドレス ( $XWA$ ,  $YWA$ ) は、それぞれ、 $X$ ライトアドレスカウンタ 25 及び $Y$ ライトアドレスカウンタ 26 によって生成される。いずれのアドレスカウンタ 23 ~ 26 もイネーブル端子を有しているため、各アドレスカウンタ 23 ~ 26 の計数動作は、対応するコントローラ 21 又は 22 から供給されるイネ

ーブル信号 E N B をオン／オフさせることにより、許可／禁止することができる。

【 0 0 0 6 】 後述するように、コントローラ 2 1 及び 2 2 の出力であるイネーブル信号 E N B は、カウンタ 3 2 の計数値 C O U N T がカウントアップする周期でオンする。従って、例えばリードアドレスカウンタ 2 3 及び 2 4 をイネーブル信号 E N B による計数動作許可／禁止制御下におくことにより、ソース側フレームメモリ 2 7 のリードアドレス ( X R A , Y R A ) を、イネーブル信号 E N B がオンしている ( E N B = 1 ) 時点においてのみ変化 ( インクリメント又はデクリメント ) し、イネーブル信号 E N B がオフしている ( E N B = 0 ) 時点においては直前の値が維持されるよう、制御できる。逆に、例えばライトアドレスカウンタ 2 5 及び 2 6 をイネーブル信号 E N B による計数動作許可／禁止制御下におくことにより、ディスティネーション側フレームメモリ 2 8 のライトアドレス ( X W A , Y W A ) を、イネーブル信号 E N B がオンしている時点においてのみ変化 ( インクリメント又はデクリメント ) し、イネーブル信号 E N B がオフしている ( E N B = 0 ) 時点においては直前の値が維持されるよう、制御できる。

【 0 0 0 7 】 例えばソース側フレームメモリ 2 7 上の矩形画像をディスティネーション側フレームメモリ 2 8 に拡大転送する場合には、イネーブル信号 E N B をリードアドレスカウンタ 2 3 及び 2 4 に供給してソース側フレームメモリ 2 7 のリードアドレス ( X R A , Y R A ) を発生させる。例えばイネーブル信号 E N B が 0、0、1、0、0、1…というように変化していく場合、その計数値であるリードアドレスは 0、0、1、1、1、2…というように変化する。この一方で、ライトアドレスカウンタ 2 5 及び 2 6 に単調な計数動作を実行させれば、ディスティネーション側フレームメモリ 2 8 のライトアドレス ( X W A , Y W A ) は例えば 0、1、2、3、4、5…というように変化する。従って、リードアドレス 0、0、1、1、1、2…のデータ ( D A T A ) がライトアドレス 0、1、2、3、4、5…に転送格納されることになる。このように、イネーブル信号 E N B がオフしている期間においてリードアドレスを重複発生 ( すなわち直前の値と同じ値を発生 ) させることにより、拡大転送を実現できる。逆にソース側フレームメモリ 2 7 上の矩形画像をディスティネーション側フレームメモリ 2 8 に縮小転送する場合には、イネーブル信号 E N B をライトアドレスカウンタ 2 5 及び 2 6 に供給してディスティネーション側フレームメモリ 2 8 のライトアドレス ( X W A , Y W A ) を発生させる一方で、リードアドレスカウンタ 2 3 及び 2 4 に単調な計数動作を実行させてソース側フレームメモリ 2 7 のリードアドレス ( X R A , Y R A ) を発生させればよい。

【 0 0 0 8 】 このように、ソース側フレームメモリ 2 7 からディスティネーション側フレームメモリ 2 8 への矩

形画像の拡大縮小転送は、イネーブル信号 E N B の発生制御により実現できる。図 7 にはコントローラ 2 1 又は 2 2 として用い得る回路の構成が、図 8 にはその動作の流れが、それぞれ示されている。

【 0 0 0 9 】 図 7 に示される回路は、ソース側フレームメモリ 2 7 上の矩形画像をディスティネーション側フレームメモリ 2 8 へ転送する際に、定数 D 倍の拡大縮小を行わせるよう、イネーブル信号 E N B を発生させる回路である。

【 0 0 1 0 】 この図の回路は、長軸カウンタ 3 1、カウンタ 3 2 及び比較器 3 3 から構成されている。長軸カウンタ 3 1 は、矩形画像の長軸値 L が N としてプリセットされるダウンカウンタである。このカウンタ 3 1 がカウントアップすると、拡大縮小転送に係る動作が終了する。ここに、長軸値 L とは、矩形画像の拡大転送の場合には拡大後の矩形画像の一辺の長さを、縮小転送の場合には縮小前の矩形画像の一辺の長さを、それぞれ示している。図 7 の回路を X 側のコントローラ 2 1 として用いる場合には長軸値 L としてその X 値である X L を、Y 側のコントローラ 2 2 として用いる場合にはその Y 値である Y L を、長軸カウンタ 3 1 にプリセットする。

【 0 0 1 1 】 カウンタ 3 2 は、イネーブル信号 E N B が 0、すなわちオフしている場合にその内容 C O U N T がインクリメントされるアップカウンタである。イネーブル信号 E N B が 1、すなわちオンすると、カウンタ 3 2 はクリアされる ( C L E A R ) 。

【 0 0 1 2 】 比較器 3 3 は、定数倍率値 D とカウンタ 3 2 の計数値 C O U N T を比較し一致している場合にイネーブル信号 E N B を 1 とする。定数倍率値 D は矩形画像の拡大縮小倍率を示す値であり、使用者は、自己が必要とする倍率に最も近い倍率 ( 丸め込んだ倍率 ) を D に設定する。図 7 に示される回路をコントローラ 2 1 として用いる場合 X 値 X D が、コントローラ 2 2 として用いる場合には Y 値 Y D が、それぞれ入力される。

【 0 0 1 3 】 図 7 に示される回路をコントローラ 2 1 及び 2 2 として用いて拡大縮小転送を実行する場合、コントローラ 2 1 及び 2 2 は、X 方向のアドレスカウンタ 2 3 及び 2 5 がカウントアップする毎に Y 方向のアドレスカウンタ 2 4 及び 2 6 の計数動作が実行されるよう、動作させる。各コントローラ 2 1 及び 2 2 は、それぞれ、図 8 に示されるように動作する。

【 0 0 1 4 】 この図に示されるように、使用者は定数倍率値 D 及び長軸値 L を入力する ( 3 0 1 )。長軸カウンタ ( N C O U N T E R ) 3 1 には入力された長軸値 L が ( 3 0 2 )、カウンタ ( C O U N T E R ) 3 2 には 0 が、定数倍率値  $D > 0$  ( 倍率  $> 1$  ) のときイネーブル信号 E N B には 0 が、定数倍率値  $D = 0$  ( 倍率  $= 1$  ) のときイネーブル信号 E N B には 1 が、それぞれプリセットされる ( 3 0 3 )。この様なプリセット動作が終了すると、ステップ 3 0 4 ~ 3 1 3 の繰り返し動作に移行する。

【0015】上述のプリセット動作（ただし $D > 0$ とする）実行直後においては、まず、比較器33からイネーブル信号 $ENB = 0$ が出力される（304）。この時点では $N = L$ であり長軸カウンタ31はカウントアップしていない（ $N \neq 0$ ）（305）。従って、長軸カウンタ31のダウンカウント（ $N$ の1デクリメント）が実行された後（307）、カウンタ32及び比較器33の動作が継続される。

【0016】この時点では、イネーブル信号 $ENB = 0$ であるためカウンタ32はクリアされず（308）、カウンタ32の計数値 $COUNT$ の1インクリメントが実行される。比較器33はカウンタ32の計数値 $COUNT$ を倍率値 $D$ と比較する（311）。この時点では計数値 $COUNT$ は倍率値 $D$ に至っていないから、比較器33の出力であるイネーブル信号は0を維持する（312）。続くステップ304においては、比較器33はイネーブル信号 $ENB = 0$ を出力する。

【0017】以上の動作が繰り返し実行されると、カウンタ32の計数値 $COUNT$ はある時点で倍率値 $D$ に至る。すると、比較器33の判定条件が成立し、イネーブル信号 $ENB$ が1となる（313）。続くステップ304においては、比較器33はイネーブル信号 $ENB = 1$ を出力する。

【0018】この後ステップ307をへて、ステップ308及び310においてカウンタ32がクリアされる。すなわち、イネーブル信号 $ENB = 1$ がカウンタ32のクリア信号 $CLEAR$ として機能する。これに伴い、比較器33の出力であるイネーブル信号 $ENB$ は再び0となる（311、312、304）。

【0019】従って、イネーブル信号 $ENB$ は、カウンタ32のカウントアップ周期毎に1となる。言い換えれば、倍率値 $D$ に応じた周期でイネーブル信号 $ENB$ がオンする。この動作は、長軸カウンタ31の計数値 $N$ が0になるまで、繰り返される（305、306）。

【0020】このようにして得られるイネーブル信号 $ENB$ をリードアドレスカウンタ23又は24による計数動作の許可／禁止制御に用いることにより、リードアドレスを倍率値 $D$ に応じて定まる周期でインクリメントすることができる。ライトアドレスカウンタ25及び26の計数動作を単調に実行させておけば、リードアドレスの重複発生に対しライトアドレスの単調発生となるから、ソース側フレームメモリ27からディスティネーション側フレームメモリ28への矩形画像の拡大転送が実現される。逆に、イネーブル信号 $ENB$ をライトアドレスカウンタ25又は26による計数動作の許可／禁止制御に用いることにより、ライトアドレスを倍率値 $D$ に応じて定まる周期でインクリメントすることができる。リードアドレスカウンタ23及び24の計数動作を単調に実行させておけば、ライトアドレスの重複発生に対しリードアドレスの単調発生となるから、ソース側フレーム

メモリ27からディスティネーション側フレームメモリ28への矩形画像の縮小転送が実現される。

【0021】また、コントローラ21及び22は、それぞれ長軸値 $L$ の $X$ 値 $XL$ 又は $Y$ 値 $YL$ に基づきイネーブル信号 $ENB$ を生成しているため、 $Y$ 方向のアドレスカウンタ24及び26の計数動作は、 $X$ 方向のアドレスカウンタ23及び25の計数動作が一回終了するごとに実行される。

【0022】従って、この従来例によれば、ソース側フレームメモリ27の矩形画像を、ディスティネーション側フレームメモリ28の矩形領域に、定数の倍率で拡大縮小転送することが出来る。

【0023】

【発明が解決しようとする課題】しかし、このような操作により矩形画像の拡大縮小転送を行う場合、定数の倍率しか指定できない。従って、使用者は、必要な倍率が装置にないとき、適当な倍率に丸め込むことを余儀無くされ、また、必要な倍率の画像が正確に得られない。さらに、使用者は、倍率値 $D$ を計算して設定しなければならない。このため、例えば拡大・縮小操作を連続的に実行しようとする場合、オーバーヘッドも問題となる。

【0024】本発明は、このような問題点を解決することを課題としてなされたものであり、矩形画像の拡大縮小転送を行う際に、任意の倍率を指定でき、指定した倍率の画像を正確に得ることができ、さらにオーバーヘッドも小さくすることができる装置及び方法を提供することを目的とする。

【0025】

【課題を解決するための手段】このような目的を達成するために、本発明の矩形画像の拡大装置は、ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しアドレスカウンタと、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタと、ソース側フレームメモリから読み出されたデータがディスティネーション側フレームメモリの複数のアドレスに重複して書き込まれるよう、読み出しアドレスカウンタの計数動作を適宜禁止することによりソース側フレームメモリからの読み出しアドレスを重複発生させる拡大転送制御手段と、を備え、拡大転送制御手段が、ソース側フレームメモリ上にデータとして格納されている矩形画像の一边を短軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一边を長軸としてそれぞれ扱いつつ、短軸の長さを示す短軸値及び長軸の長さを示す長軸値に基づきディジタル微分解析

（DDA）の諸元を演算する手段と、演算により得られた諸元に基づきDDAを実行することにより、読み出しアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、その結果に基づき読み出しアドレスカウンタの計数動作を制御する手段と、を備え、短軸値及び

長軸値の指定に応じ、ソース側フレームメモリ上にデータとして格納されている矩形画像をディスティネーション側フレームメモリ上に拡大して転送格納することを特徴とする。

【 0 0 2 6 】 また、本発明の矩形画像の縮小装置は、ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しアドレスカウンタと、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタと、ソース側フレームメモリから読み出されたデータの一部が間欠的に削除されつつディスティネーション側フレームメモリに書き込まれるよう、書き込みアドレスカウンタの計数動作を適宜禁止することによりディスティネーション側フレームメモリへの書き込みアドレスを重複発生させる縮小転送制御手段と、を備え、縮小転送制御手段が、ソース側フレームメモリ上にデータとして格納されている矩形画像の一边を長軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一边を短軸としてそれぞれ扱いつつ、長軸の長さを示す長軸値及び短軸の長さを示す短軸値に基づき D D A の諸元を演算する手段と、演算により得られた諸元に基づき D D A を実行することにより、書き込みアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、その結果に基づき書き込みアドレスカウンタの計数動作を制御する手段と、を備え、長軸値及び短軸値の指定に応じ、ソース側フレームメモリ上にデータとして格納されている矩形画像をディスティネーション側フレームメモリ上に縮小して転送格納することを特徴とする。

【 0 0 2 7 】 本発明の画像処理装置は、矩形画像をデータとして格納するソース側フレームメモリと、ソース側フレームメモリとからデータとして転送される矩形画像を格納可能なディスティネーション側フレームメモリと、本発明の矩形画像の拡大装置又は縮小装置と、を備えることを特徴とする。

【 0 0 2 8 】 さらに、本発明の矩形画像の拡大転送制御装置は、ソース側フレームメモリ上にデータとして格納されている矩形画像の一边を短軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一边を長軸としてそれぞれ扱いつつ、短軸の長さを示す短軸値及び長軸の長さを示す長軸値に基づき D D A の諸元を演算する手段と、演算により得られた諸元に基づき D D A を実行することにより、ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、その結果に基づき読み出しアドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ソース側フレームメモリからの読み出しアドレスを制御する手段と、を備え、短軸値及び長軸値の指定に応

じてソース側フレームメモリからディスティネーション側フレームメモリに矩形画像に係るデータの拡大転送を制御することを特徴とする。本発明の矩形画像の縮小転送制御装置は、ソース側フレームメモリ上にデータとして格納されている矩形画像の一边を長軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一边を短軸としてそれぞれ扱いつつ、長軸の長さを示す長軸値及び短軸の長さを示す短軸値に基づき D D A の諸元を演算する手段と、演算により得られた諸元に基づき D D A を実行することにより、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、その結果に基づき書き込みアドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ディスティネーション側フレームメモリへの書き込みアドレスを制御する手段と、を備え、長軸値及び短軸値の指定に応じてソース側フレームメモリからディスティネーション側フレームメモリに矩形画像に係るデータの縮小転送を制御することを特徴とする。

【 0 0 2 9 】 本発明の矩形画像の拡大転送方法は、ソース側フレームメモリ上にデータとして格納されている矩形画像の一边を短軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一边を長軸としてそれぞれ扱いつつ、短軸の長さを示す短軸値及び長軸の長さを示す長軸値に基づき D D A の諸元を演算し、演算により得られた諸元に基づき D D A を実行することにより、ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しアドレスカウンタの計数動作を禁止するタイミングを決定し、その結果に基づき読み出しアドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ソース側フレームメモリからの読み出しアドレスを制御することにより、ソース側フレームメモリにデータとして格納されている矩形画像をディスティネーション側フレームメモリに拡大して転送することを特徴とする。

【 0 0 3 0 】 そして、本発明の矩形画像の縮小転送方法は、ソース側フレームメモリ上にデータとして格納されている矩形画像の一边を長軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一边を短軸としてそれぞれ扱いつつ、長軸の長さを示す長軸値及び短軸の長さを示す短軸値に基づき D D A の諸元を演算し、演算により得られた諸元に基づき D D A を実行することにより、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタの計数動作を禁止するタイミングを決定し、その結果に基づき書き込みアドレスカウンタの計数動作を制御することにより、計数動

作の禁止タイミングにおいて重複発生するよう、ディスティネーション側フレームメモリへの書き込みアドレスを制御することにより、ソース側フレームメモリにデータとして格納されている矩形画像をディスティネーション側フレームメモリに縮小して転送することを特徴とする。

【0031】なお、本発明は、一般に $n$ 次元（ $n$ は2以上の整数）メモリであるソース側フレームメモリ及びディスティネーション側フレームメモリに適用できる。

【0032】

【作用】本発明の矩形画像の拡大装置においては、読み出しアドレスカウンタの計数動作によりソース側フレームメモリからの読み出しアドレスが、書き込みアドレスカウンタの計数動作によりディスティネーション側フレームメモリへの書き込みアドレスが、それぞれ生成される。拡大転送制御手段は、短軸値及び長軸値の指定に応じDDAを実行し、その結果に基づき読み出しアドレスカウンタの計数動作を適宜禁止する。この動作により、ソース側フレームメモリから読み出されたデータがディスティネーション側フレームメモリの複数のアドレスに重複して書き込まれるよう、ソース側フレームメモリからの読み出しアドレスが重複発生し、ソース側フレームメモリ上にデータとして格納されている矩形画像がディスティネーション側フレームメモリ上に拡大して転送格納される。

【0033】より詳細には、拡大転送制御手段には、まず短軸値及び長軸値が入力され、これらに基づきDDAの諸元が演算される。ここにいう短軸値とは、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺（短軸）の長さであり、長軸値とは、この矩形画像を転送格納すべきディスティネーション側フレームメモリ上の矩形領域の一辺（長軸）の長さである。DDAの諸元には、例えば、DDAにおける増分演算に必要なプリセット値や、短軸値に応じて設定される増分値、短軸値と長軸値の差に応じて設定される減分値等がある。拡大転送制御手段は、演算により得られた諸元に基づきDDAを実行する。読み出しアドレスカウンタの計数動作を禁止するタイミングは、DDAの結果に応じ、例えばDDAにおける増分演算の結果発生するキャリに応じ、イネーブル信号のオフタイミングとして決定される。拡大転送制御手段は、決定されたタイミングに基づき読み出しアドレスカウンタの計数動作を制御する。

【0034】この様にDDAを実行して読み出しアドレスカウンタの動作を制御することにより、使用者は、ソース側フレームメモリ上の矩形画像の一辺と、ディスティネーション側フレームメモリ上の矩形領域の一辺とを短軸値及び長軸値として入力するのみで足りることとなる。すなわち、拡大倍率は、短軸値及び長軸値により定まる倍率に正確に制御されることとなる。また、例えば拡大を連続して実行する場合等におけるオーバーヘッドが

短縮される。

【0035】本発明の矩形画像の縮小装置においては、上述した拡大装置と同様の原理により、矩形画像の縮小転送が実現される。すなわち、上述の拡大転送制御手段に代え、あるいはこれと共に、縮小転送制御手段が設けられる。縮小転送制御手段は、ソース側フレームメモリから読み出されたデータの一部分が間欠的に削除されつつディスティネーション側フレームメモリに書き込まれるよう、書き込みアドレスカウンタの計数動作を適宜禁止することによりディスティネーション側フレームメモリへの書き込みアドレスを重複発生させる。その際、縮小転送制御手段は、上述の拡大転送制御手段と同様、長軸値及び短軸値の入力を受ける。この場合、長軸値とは、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺（長軸）の長さを、短軸値とは、この矩形画像を転送格納すべきディスティネーション側フレームメモリ上の矩形領域の一辺（短軸）の長さを、それぞれ示している。縮小転送制御手段は、入力される長軸値及び短軸値に基づくDDAの諸元の演算、演算により得られた諸元に基づくDDA、その結果に基づき書き込みアドレスカウンタの計数動作禁止タイミングの決定、並びにその結果に基づく書き込みアドレスカウンタの計数動作の制御を実行する。

【0036】従って、本発明の矩形画像の縮小装置においては、使用者は、ソース側フレームメモリ上の矩形画像の一辺と、ディスティネーション側フレームメモリ上の矩形領域の一辺とを長軸値及び短軸値として入力するのみで足りることとなり、上述の拡大装置と同様、縮小倍率が長軸値及び短軸値により定まる倍率に正確に制御され、例えば縮小を連続して実行する場合等におけるオーバーヘッドが短縮される。

【0037】本発明の画像処理装置においては、矩形画像をデータとして格納するソース側フレームメモリ及びソース側フレームメモリとからデータとして転送される矩形画像を格納可能なディスティネーション側フレームメモリを備える装置において、さらに本発明の矩形画像の拡大装置又は縮小装置が設けられる。従って、上述の作用が得られる画像処理装置（例えばディスプレイ装置、プロッタ装置）が実現される。むろん、本発明の矩形画像の拡大装置及び縮小装置を共に設けてもよい。その場合、制御対象（例えばイネーブル信号の供給先）の切り換えを実行することにより、同一の回路を拡大転送制御手段及び縮小転送制御手段として使用できる。

【0038】そして、本発明の矩形画像の拡大転送制御装置は、上述の拡大転送制御手段として用い得る装置であり、その機能・作用は上述の拡大転送制御手段と同内容であり、本発明の矩形画像の拡大転送方法の機能・作用と同内容である。また、本発明の矩形画像の縮小転送制御装置は、上述の縮小転送制御手段として用い得る装置であり、その機能・作用は上述の縮小転送制御手段と



同内容であり、本発明の矩形画像の縮小転送方法の機能・作用と同内容である。両者は、長軸値及び短軸値として入力すべき値がソース側フレームメモリ上にデータとして格納されている矩形画像の一辺の長さ及びこの矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺の長さのいずれに対応するかが異なっており、また、計数動作の禁止制御対象（例えばイネーブル信号の供給先等）が異なっているのみであるから、同一の装置構成を、拡大転送の場合には拡大転送制御装置として、縮小転送の場合には縮小転送制御装置として、使用可能である。なお、本発明は、一般に  $n$  次元（ $n$  は 2 以上の整数）メモリであるソース側フレームメモリ及びディスティネーション側フレームメモリに適用できる。

【 0 0 3 9 】

【実施例】以下、本発明の好適な実施例について説明する。

【 0 0 4 0 】図 1 には、本発明の一実施例に係る装置の回路構成が示されている。この図に示される装置は、図 6 に示される装置と同様、矩形画像の拡大縮小転送を行う構成である。

【 0 0 4 1 】この図の回路は、ソース側フレームメモリ 0 7 からのリードとディスティネーション側フレームメモリ 0 8 へのライトを行うことにより、ソース側フレームメモリ 0 7 上の矩形画像をディスティネーション側フレームメモリ 0 8 へ転送する回路である。そのため、フレームメモリとしてソース側フレームメモリ 0 7 及びディスティネーション側フレームメモリ 0 8 を備えている。

【 0 0 4 2 】ソース側フレームメモリ 0 7 からのリードアドレス（ $XRA$ 、 $YRA$ ）は、それぞれ、 $X$ リードアドレスカウンタ 0 3 及び $Y$ リードアドレスカウンタ 0 4 により生成される。同様に、ディスティネーション側フレームメモリ 0 8 へのライトアドレス（ $XWA$ 、 $YWA$ ）は、それぞれ、 $X$ ライトアドレスカウンタ 0 5 及び $Y$ ライトアドレスカウンタ 0 6 により生成される。いずれのアドレスカウンタ 0 3 ~ 0 6 にも、イネーブル端子が設けられているため、各アドレスカウンタ 0 3 ~ 0 6 の計数動作は、対応するコントローラ 0 1 又は 0 2 から供給されるイネーブル信号  $ENB$  をオン／オフさせることにより、許可／禁止することができる。図 2 には、コントローラ 0 1 又は 0 2 として使用し得る回路の構成が示されている。この図に示される回路をコントローラ 0 1 又は 0 2 として用いイネーブル信号を発生させることにより、ソース側フレームメモリ 0 7 上の矩形画像がディスティネーション側フレームメモリ 0 8 上に任意の倍率で拡大縮小転送されるよう、各アドレスカウンタ 0 3 ~ 0 6 の動作を制御することができる。

【 0 0 4 3 】この回路を用いた処理の特徴は、矩形画像の長軸値  $L$  及び短軸値  $S$  に基づきデジタル微分解析

（ $DDA$ ）を実行することにある。ここに、長軸値  $L$  とは、拡大転送の場合には拡大後の（ディスティネーション側フレームメモリ 0 8 上での）矩形画像の一辺の長さを、縮小転送の場合には縮小前の（ソース側フレームメモリ 0 7 上での）矩形画像の一辺の長さをいう。短軸値  $S$  とは、拡大転送の場合には拡大前の（ソース側フレームメモリ 0 7 上での）矩形画像の一辺の長さを、縮小転送の場合には縮小後の（ディスティネーション側フレームメモリ 0 8 上での）矩形画像の一辺の長さをいう。使用者は、従来例のように倍率値  $D$  を指定する必要がなく、処理に先立ち長軸値  $L$  と短軸値  $S$  を決定するのみで足りる。従って、倍率値  $D$  の丸めが発生せず正確な拡大縮小が可能になると共に、連続的な拡大縮小を行う場合にも、倍率値  $D$  の選択決定によるオーバーヘッドが生じない。

【 0 0 4 4 】図 2 に示される回路は、演算器 1 1、長軸カウンタ 1 2、加算値セクタ 1 3、加算器 1 4、初期値セクタ 1 5 及びレジスタ 1 6 から構成されている。演算器 1 1 は、 $DDA$  の諸元であるプリセット値  $ML$ 、増分値  $PD$  及び減分値  $MC$  を、長軸値  $L$  及び短軸値  $S$  に基づき演算する。図 2 に示される回路をコントローラ 0 1 として用いる場合には、長軸値  $L$  及び短軸値  $S$  としてその  $X$  値  $XL$  及び  $XS$  を与える。逆に、コントローラ 0 2 として用いる場合には、長軸値  $L$  及び短軸値  $S$  としてその  $Y$  値  $YL$  及び  $YS$  を与える。

【 0 0 4 5 】長軸カウンタ 1 2 には、長軸値  $L$  がプリセットされる。長軸カウンタ 1 2 はダウンカウンタであり、カウントアップすると矩形画像の拡大縮小転送動作が終了する。

【 0 0 4 6 】初期値セクタ 1 5 は、演算器 1 1 により演算された諸元の一つであるプリセット値  $ML$  を、レジスタ 1 6 にプリセットする機能を有している。プリセット以後は、加算器 1 4 の出力をレジスタ 1 6 に供給する。

【 0 0 4 7 】加算器 1 4 は、レジスタ 1 6 の内容  $REG$  に加算値セクタ 1 3 から供給される加算値  $ADD$  を加算して出力する。その際、加算値セクタ 1 3 は、増分値  $PD$  及び減分値  $MC$  のいずれかを選択して加算値  $ADD$  として加算器 1 4 に供給する。レジスタ 1 6 は、加算器 1 4 においてキャリ  $CAR$  が生じている場合、これをイネーブル信号  $ENB$  とする。

【 0 0 4 8 】本実施例においては、このイネーブル信号  $ENB$  を利用して、矩形画像の拡大縮小転送が実行される。例えば拡大を行う場合は、図 2 の構成を有するコントローラ 0 1 及び 0 2 から、イネーブル信号  $ENB$  をリードアドレスカウンタ 0 3 及び 0 4 のイネーブル端子に入力する。 $REG$  のキャリ  $CAR$  であるイネーブル信号  $ENB$  は、後述するように、図 2 に示される回路の  $DDA$  動作の結果に応じてオンする（ $ENB = 1$ ）。リードアドレスカウンタ 0 3 及び 0 4 は、イネーブル信号  $EN$

Bがオン(ENB=1)している時点で計数動作を実行し、ソース側フレームメモリ07のリードアドレス(XRA, YRA)を発生させる。イネーブル信号ENBがオフしている(ENB=0)ときには、直前の値を維持する(重複発生させる)。

【0049】従って、ライトアドレスカウンタ05及び06に単調な計数を実行させディスティネーション側フレームメモリ08のライトアドレス(XWA, YWA)を発生させる一方で、図2の構成を有するコントローラ01及び02からイネーブル信号ENBをリードアドレスカウンタ03及び04に供給しコントローラ01及び02の管理下でソース側フレームメモリ07のリードアドレス(XRA, YRA)を発生させるようにすれば、ソース側フレームメモリ07上の矩形画像をディスティネーション側フレームメモリ08に拡大転送することができる。逆に、縮小を行う場合は、リードアドレスカウンタ03及び04に単調な計数を実行させソース側フレームメモリ07のリードアドレス(XRA, YRA)を発生させる一方で、図2の構成を有するコントローラ01及び02からイネーブル信号ENBをライトアドレスカウンタ05及び06にしコントローラ01及び02の管理下でディスティネーション側フレームメモリ08のライトアドレス(XWA, YWA)を発生させるようにすればよい。

【0050】図3には、この実施例におけるコントローラ01及び02のイネーブル信号ENB発生動作が示されている。

【0051】この図に示されるように、使用者は、まず、長軸値L及び短軸値Sを入力する(101)。この入力に応じ、演算器11は、DDAの諸元であるプリセット値ML、増分値PD及び減分値MCに、それぞれ $-L$ 、 $2S$ 及び $2(S-L)$ をプリセットする(102)。さらに、長軸カウンタ(NCOUNTER)12には長軸値Lが(103)、レジスタ(REGISTER)16にはプリセット値 $ML = -L$ が、イネーブル信号ENBには0が(104)、それぞれプリセットされる。レジスタ16へのプリセット値MLのプリセットは、初期値セクタ15により実行される。このようなプリセット動作が実行された後、ステップ105~114に係る繰り返し動作に移行する。

【0052】プリセット動作が終了した直後には、まず、レジスタ16からイネーブル信号ENB=0が出力される(105)。この時点では長軸カウンタ12の計数値Nはまだ0に至っていないから、ステップ106の判定条件である $N=0$ は成立せず、ステップ108に移行する。

【0053】続くステップ108では、長軸カウンタ12の計数値Nがデクリメントされる。この時点ではイネーブル信号ENB=0であるから、加算値セクタ13は加算値ADDとして増分値PDを選択する(109、

110)。加算の結果、 $REG < 0$ の状態が維持される場合(112)、すなわちキャリCARが発生しない場合、イネーブル信号ENB=0に引き続き設定され(113)、逆にキャリCARが発生した場合にはイネーブル信号ENB=1となる(114)。このイネーブル信号ENBは、続くステップ105においてレジスタ16から出力される。

【0054】従って、レジスタREG16の内容は、プリセット値である $ML = -L$ から始まって、増分値PDずつインクリメントされていく。このインクリメントの結果、ある時点で、 $REG < 0$ の状態から $REG \geq 0$ に至る。 $REG \geq 0$ に至ると、キャリCARがイネーブル信号ENBとして用いられENB=1となるから、加算値セクタ13により加算値ADDとして減分値 $MC = 2(S-L)$ が選択され、REGに加算される(109, 111)。以上の動作は、ステップ108における計数値Nのデクリメント操作の繰り返しにより長軸カウンタ12の計数値Nが0となるまで繰り返し実行される(106, 107)。

【0055】なお、コントローラ01には長軸値L及び短軸値SとしてそのX方向の値XL及びXS、コントローラ02にはそのY方向の値YL及びYSを、入力しているため、Y方向のアドレスカウンタ04及び06は、アドレスカウンタ03及び05が1回カウントアップするごとにカウントする。

【0056】以上説明した動作においては、キャリCARがあるか否か( $REG \geq 0$ か否か)に応じ(112, 109)、REGへの加算値ADDが選択されている(110, 111)。すなわち、キャリCARがイネーブル信号ENBとして用いられ、その値に応じてREGをインクリメントするか(PDの加算)、デクリメントするか(MCの加算)を決定している。この様なREGの操作をDDA操作と呼ぶ。DDA操作においては、 $ML = -L$ にプリセットされているREGに、 $REG \geq 0$ となるまで増分値 $PD = 2S$ が加算され、 $REG \geq 0$ となると減分値 $MC = 2(S-L)$ ：負の値の加算によりREGが一旦 $REG < 0$ の状態に戻される。その後は、再び $REG \geq 0$ となるまで増分値 $PD = 2S$ が加算される。この操作は、イネーブル信号ENBをオンさせるべきか否かを、増分値PD及び減分値MCによる増分計算により決定する操作であるといえる。本実施例においては、この様なDDA操作によりイネーブル信号ENBを発生させ、発生させたイネーブル信号ENBをリードアドレスカウンタ03及び04(拡大時)又はライトアドレスカウンタ05及び06(縮小時)の制御に使用している。

【0057】次に、このようなコントローラ01又は02の動作を、具体例を用いて説明する。図4(a)には、本実施例のコントローラ01又は02に $L=8$ 、 $S=3$ を入力した場合の動作がタイミングチャートとして

示されている。

【0058】まず、ステップ101において $L=8$ 、 $S=3$ が入力されると、演算器11の動作によって(102)、プリセット値 $ML$ が $-8$ に、増分値 $PD$ が $6$ に、減分値 $MC$ が $-10$ に、それぞれ設定される。長軸カウンタ12には $N$ として $8$ が設定され(103)、 $REG$ には $-8$ が、イネーブル信号 $ENB$ には $0$ が設定される(104)。

【0059】長軸カウンタ12の計数値 $N$ は、ステップ108におけるデクリメント操作により、 $8$ から $0$ までデクリメントされる。イネーブル信号 $ENB$ の値がプリセット時の値、すなわち $0$ である間は、 $REG$ に増分値 $PD$ が加算されるため(109、110)、 $REG$ の値は $-8$ から $-2$ へ、 $-2$ から $+4$ へと変化する。 $REG$ の値が負である間はイネーブル信号 $ENB$ の値は $0$ に維持されるが(112、113)、 $REG$ の値が $+4$ になるとイネーブル信号 $ENB$ の値は $1$ に変化する(112、114)。イネーブル信号 $ENB$ が $1$ となるとステップ111において $REG$ に $MC=-10$ が加算されるため、 $REG$ は $+4$ から $-6$ に変化する。これに伴い、イネーブル信号 $ENB$ の値は $0$ に変化する(112、113)。以下同様に、この様な動作が継続して実行される結果、イネーブル信号 $ENB$ の値は $0$ 、 $0$ 、 $1$ 、 $0$ 、 $1$ 、 $0$ 、 $0$ 、 $1$ 、 $0$ と変化することになる。

【0060】この様な動作によって生成するイネーブル信号 $ENB$ をリードアドレスカウンタ03及び04に供給することにより、拡大転送を実行できる。すなわち、リードアドレスカウンタ03又は04にこのようなイネーブル信号 $ENB$ が供給されると、その内容はイネーブル信号 $ENB$ がオン( $ENB=1$ )の時にインクリメントされ、 $0$ 、 $0$ 、 $1$ 、 $1$ 、 $2$ 、 $2$ 、 $2$ 、 $3$ 、 $3$ の順で変化する。この値をリードアドレス $XRA$ 又は $YRA$ として用いると、リードアドレスが重複して発生しているため(すなわち $0$ が2回、 $1$ が2回…というように連続して発生しているため)、ソース側フレームメモリ07からの読み出しも同一アドレスのデータに対して重複して実行されることとなる。一方で、ライトアドレスカウンタ05及び06は単調に計数動作を実行しており、ライトアドレスは $0$ から順に $8$ までインクリメントされる。従って、リードアドレス $0$ 、 $0$ 、 $1$ 、 $1$ 、 $2$ 、 $2$ 、 $2$ 、 $3$ 、 $3$ のデータが、ライトアドレス $0$ 、 $1$ 、 $2$ 、 $3$ 、 $4$ 、 $5$ 、 $6$ 、 $7$ 、 $8$ に書き込まれることとなる。

【0061】従って、本実施例によれば、例えば図4

(b)に示されるように、矩形画像をソース側フレームメモリ07からディスティネーション側フレームメモリ08に拡大転送可能となる。図の例は $L=8$ 、 $S=3$ の例であり、左側はソース側フレームメモリ07上の矩形画像、右側はディスティネーション側フレームメモリ08上の矩形画像である。図中左下が $X$ アドレス、 $Y$ アドレス( $XA$ 、 $YA$ )= $(0, 0)$ の原点であり、黒塗り

部分は重複してリードされ加えられた部分である。図5(a)には、本実施例のコントローラ01又は02に $L=9$ 、 $S=6$ を入力した場合の動作がタイミングチャートとして示されている。

【0062】まず、ステップ101において $L=9$ 、 $S=6$ が入力されると、演算器11の動作によって(102)、プリセット値 $ML$ が $-9$ に、増分値 $PD$ が $12$ に、減分値 $MC$ が $-6$ に、それぞれ設定される。長軸カウンタ12には $N$ として $9$ が設定され(103)、 $REG$ には $-9$ が、イネーブル信号 $ENB$ には $0$ が設定される(104)。

【0063】長軸カウンタ12の計数値 $N$ は、ステップ108におけるデクリメント操作により $9$ から $0$ までデクリメントされる。初期的にはイネーブル信号 $ENB$ が $0$ であり $REG$ に増分値 $PD$ が加算されるため(109、110)、 $REG$ は $-9$ から $+3$ へと変化する。これに伴い、イネーブル信号 $ENB$ は $1$ に変化する(112、114)。次にステップ109を実行する際には $ENB=1$ であるから、 $REG$ に減分値 $MC$ が加算され(111)、 $REG$ は $+3$ から $-3$ に変化し、 $ENB=0$ となる(112、113)。以下同様に、この様な動作が継続して実行される結果、イネーブル信号 $ENB$ の値は $0$ 、 $1$ 、 $0$ 、 $1$ 、 $1$ 、 $0$ 、 $1$ 、 $1$ 、 $0$ 、 $1$ と変化する。

【0064】この様な動作によって生成するイネーブル信号 $ENB$ をライトアドレスカウンタ05及び06に供給することにより、縮小転送を実行できる。すなわち、ライトアドレスカウンタ05又は06にこのようなイネーブル信号 $ENB$ が供給されると、その内容はイネーブル信号 $ENB$ がオン( $ENB=1$ )の時にインクリメントされ、 $0$ 、 $1$ 、 $1$ 、 $2$ 、 $3$ 、 $3$ 、 $4$ 、 $5$ 、 $5$ 、 $6$ の順で変化する。この値をライトアドレス $XWA$ 又は $YWA$ として用いると、ライトアドレスが重複して発生しているため(すなわち $0$ が1回、 $1$ が2回…というように連続して発生しているため)、ディスティネーション側フレームメモリ08への書き込みも同一アドレスのデータに対して重複して実行されることとなる。一方で、リードアドレスカウンタ03及び04は単調に計数動作を実行するため、リードアドレスは $0$ から順に $9$ までインクリメントされる。従って、リードアドレス $0$ 、 $1$ 、 $2$ 、 $3$ 、 $4$ 、 $5$ 、 $6$ 、 $7$ 、 $8$ 、 $9$ のデータが、ライトアドレス $0$ 、 $1$ 、 $1$ 、 $2$ 、 $3$ 、 $3$ 、 $4$ 、 $5$ 、 $5$ 、 $6$ に書き込まれることとなる。

【0065】従って、本実施例によれば、例えば図5(b)に示されるように、矩形画像をソース側フレームメモリ07からディスティネーション側フレームメモリ08に縮小転送可能となる。図の例は $L=9$ 、 $S=6$ の例であり、左側はソース側フレームメモリ07上の矩形画像、右側はディスティネーション側フレームメモリ08上の矩形画像である。図中左下が $X$ アドレス、 $Y$ アド

レス (XA, YA) = (0, 0) の原点であり、黒塗り部分は重複してリードされ減らされた部分である。

【0066】このように、本実施例によれば、矩形画像をソース側フレームメモリ07からディスティネーション側フレームメモリ08に拡大縮小転送できる。その際、長軸値Lと短軸値Sを与えDDA操作を実行し、その結果に基づきイネーブル信号ENBを発生させるようにしているため、拡大縮小転送の倍率を必要な任意の値にすることができ、正確な拡大縮小が可能になる。また、連続的拡大縮小時において倍率に応じたカウンタ設定等に係るオーバーヘッドも生じない。

【0067】なお、以上の説明では、ソース側フレームメモリ07及びディスティネーション側フレームメモリ08をX, Y 2次元のメモリとしていたが、これは一般にn次元 (n>1) メモリでよい。

【0068】

【発明の効果】以上説明したように、本発明の矩形画像の拡大装置によれば、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺 (短軸) の長さを短軸値として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺 (長軸) の長さを長軸値として拡大転送制御手段に入力し、短軸値及び長軸値に基づくDDAの諸元演算、DDAによる読み出しアドレスカウンタの計数動作禁止タイミングの決定、決定されたタイミングに基づく読み出しアドレスカウンタの計数動作の制御を実行するようにしたため、使用者がソース側フレームメモリ上の矩形画像の一辺の長さ及びディスティネーション側フレームメモリ上の矩形領域の一辺の長さを入力するのみで、すなわち拡大倍率を設定することなく、ソース側フレームメモリ上にデータとして格納されている矩形画像をディスティネーション側フレームメモリ上に拡大して転送格納できる。従って、倍率の丸め等による誤差の発生が回避されるため倍率を正確に制御可能になる。また、倍率設定に伴うオーバーヘッド、例えば拡大転送を連続的に実行する場合のオーバーヘッドが生じないため、拡大転送時のオーバーヘッドを短縮できる。また、本発明の矩形画像の縮小装置によれば、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺 (長軸) の長さを長軸値として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺 (短軸) の長さを短軸値として縮小転送制御手段に入力し、長軸値及び短軸値に基づくDDAの諸元演算、DDAによる読み出しアドレスカウンタの計数動作禁止タイミングの決定、決定されたタイミングに基づく読み出しアドレスカウンタの計数動作の制御を実行するようにしたため、使用者がソース側フレームメモリ上の矩形画像の一辺の長さ及びディスティネーション側フレームメモリ上の矩形領域の一辺の長さを入力するのみで、すなわち縮小倍率を設定することなく、ソース側フレームメモリ上にデー

タとして格納されている矩形画像をディスティネーション側フレームメモリ上に縮小して転送格納できる。従って、倍率の丸め等による誤差の発生が回避されるため倍率を正確に制御可能になる。また、倍率設定に伴うオーバーヘッド、例えば縮小を連続的に実行する場合のオーバーヘッドが生じないため、縮小転送時のオーバーヘッドを短縮できる。

【0069】本発明の画像処理装置によれば、ソース側フレームメモリ及びディスティネーション側フレームメモリを備える画像処理装置 (例えばディスプレイ装置、プロッタ装置) に本発明の矩形画像の拡大装置又は縮小装置を採用するようにしたため、上述の効果が画像処理装置において得られる。また、本発明の矩形画像の拡大装置及び縮小装置を共に設けることも可能である。その場合、さらに、同一の回路を拡大転送制御手段及び縮小転送制御手段として使用でき、装置構成の肥大化を防止できる。

【0070】そして、本発明の矩形画像の拡大転送制御装置及び方法によれば、上述の拡大転送制御手段として用い得る装置及び方法を実現できる。また、本発明の矩形画像の縮小転送制御装置及び方法によれば、上述の縮小転送制御手段として用い得る装置及び方法を実現できる。さらに、両者は、同一の回路構成で実現でき、拡大転送の場合には拡大転送制御装置として、縮小転送の場合には縮小転送制御装置として、切り換え使用できる。

【0071】加えて、本発明は、一般にn次元 (nは2以上の整数) メモリであるソース側フレームメモリ及びディスティネーション側フレームメモリに適用できる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る装置の全体回路構成を示す図である。

【図2】この実施例においてコントローラとして使用されイネーブル信号を発生させる回路の構成を示す図である。

【図3】この実施例の動作の流れを示すフローチャートである。

【図4】この実施例における拡大転送動作の一例 (L=8, S=3) を示す図であり、図4(a)はコントローラ及びアドレスカウンタの動作並びにリード/ライトデータの内容を示すタイミングチャートであり、図4(b)はソース側フレームメモリ上の矩形画像とディスティネーション側フレームメモリ上の矩形画像の関係を、拡大転送時に重複発生により補ったデータを破線として示した平面図である。

【図5】この実施例における縮小転送動作の一例 (L=9, S=6) を示す図であり、図4(a)はコントローラ及びアドレスカウンタの動作並びにリード/ライトデータの内容を示すタイミングチャートであり、図4(b)はソース側フレームメモリ上の矩形画像とディスティネーション側フレームメモリ上の矩形画像の関係

21

22

を、縮小転送時に重複発生により欠落させたデータを破線として示した平面図である。

【図 6】一従来例に係る装置の全体回路構成を示す図である。

【図 7】この従来例においてコントローラとして使用されイネーブル信号を発生させる回路の構成を示す図である。

【図 8】この従来例の動作を示すフローチャートである。

【符号の説明】

01 X側のコントローラ

02 Y側のコントローラ

03 Xリードアドレスカウンタ

04 Yリードアドレスカウンタ

05 Xライトアドレスカウンタ

06 Yライトアドレスカウンタ

07 ソース側フレームメモリ

08 ディスティネーション側フレームメモリ

11 演算器

12 長軸カウンタ

13 加算値セクタ

14 加算器

15 初期値セクタ

16 レジスタ

L 長軸値

XL 長軸値のX値

YL 長軸値のY値

S 短軸値

XS 短軸値のX値

YS 短軸値のY値

ML プリセット値

10 PD 増分値

MC 減分値

N 長軸カウンタの計数値

REG レジスタの内容

ADD 加算値

CAR キャリ

ENB イネーブル信号

XRA Xリードアドレス

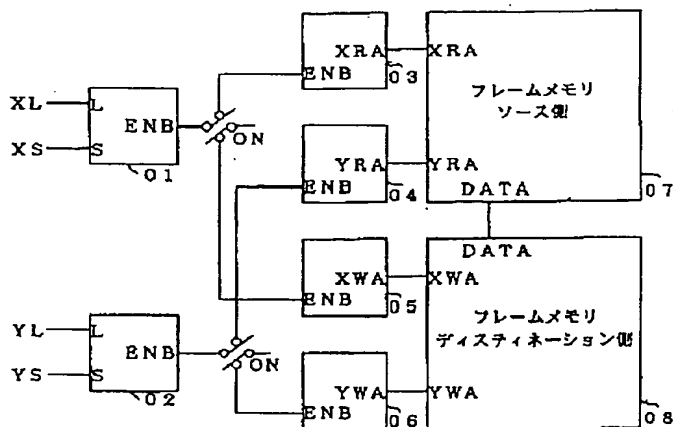
YRA Yリードアドレス

XWA Xライトアドレス

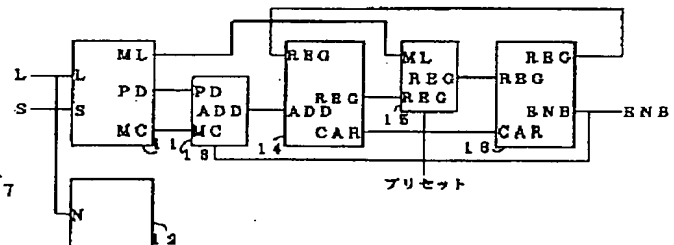
20 YWA Yライトアドレス

DATA リード/ライトデータ

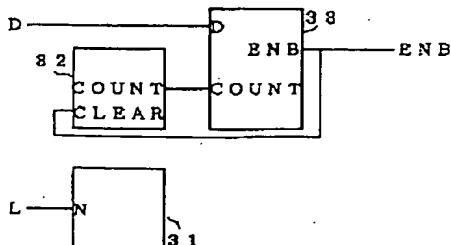
【図 1】



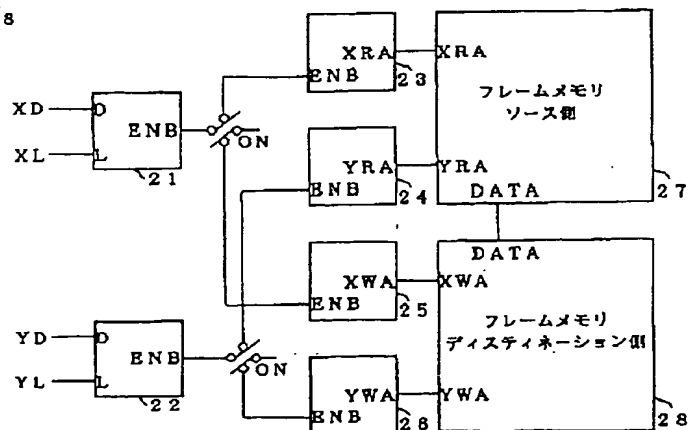
【図 2】



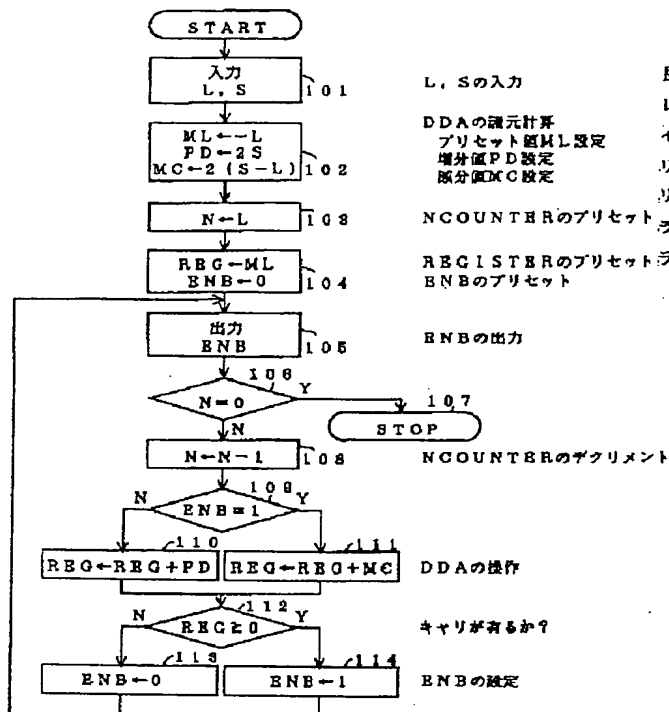
【図 7】



【図 6】



【図3】



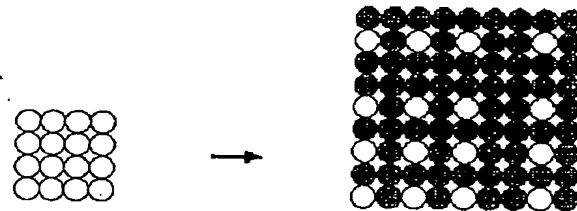
【図5】

【図4】

(a)

|         |    |    |    |    |    |     |    |    |    |
|---------|----|----|----|----|----|-----|----|----|----|
| 長軸カウンタ  | 8  | 7  | 6  | 5  | 4  | 3   | 2  | 1  | 0  |
| レジスタ    | -8 | -2 | +4 | -6 | +0 | -10 | -4 | +2 | -8 |
| イネーブル信号 | 0  | 0  | 1  | 0  | 1  | 0   | 0  | 1  | 0  |
| リードアドレス | 0  | 1  | 2  | 3  |    |     |    |    |    |
| リードデータ  | 0  | 1  | 2  | 3  |    |     |    |    |    |
| ライトアドレス | 0  | 1  | 2  | 3  | 4  | 5   | 6  | 7  | 8  |
| ライトデータ  | 0  | 0  | 1  | 1  | 2  | 2   | 2  | 8  | 3  |

(b)



【図8】

(a)

|         |    |    |    |    |    |    |    |    |    |    |
|---------|----|----|----|----|----|----|----|----|----|----|
| 長軸カウンタ  | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| レジスタ    | -9 | +3 | -8 | +9 | +3 | -3 | +9 | +3 | -3 | +9 |
| イネーブル信号 | 0  | 1  | 0  | 1  | 1  | 0  | 1  | 1  | 0  | 1  |
| リードアドレス | 0  | 1  | 2  | 3  | 4  | 5  | 6  | 7  | 8  | 9  |
| リードデータ  | 0  | 1  | 2  | 3  | 4  | 5  | 6  | 7  | 8  | 9  |
| ライトアドレス | 0  | 1  | 2  | 3  | 4  | 5  | 6  | 7  | 8  | 9  |
| ライトデータ  | 0  | 2  | 3  | 5  | 8  | 8  | 8  | 8  | 8  | 9  |

(b)

